

12-12-01
JC979 U.S. PTO
09/974025



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 특허출원 2001년 제 19307 호
Application Number PATENT-2001-0019307

출원년월일 : 2001년 04월 11일
Date of Application APR 11, 2001

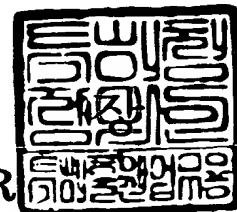
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001 년 08 월 21 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2001.04.11
【발명의 명칭】	플립 칩형 반도체소자 및 그 제조방법
【발명의 영문명칭】	Flip chip type semiconductor device and fabrication method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	윤중림
【성명의 영문표기】	YOON, JUNG LIM
【주민등록번호】	631110-1458717
【우편번호】	151-050
【주소】	서울특별시 관악구 봉천동 11-1 주거환경개선 지구 2블럭 10호 201호
【국적】	KR
【발명자】	
【성명의 국문표기】	안중현
【성명의 영문표기】	AHN, JONG HYON
【주민등록번호】	631022-1068121
【우편번호】	442-373

【주소】	경기도 수원시 팔달구 매탄3동 990 주공 2단지 137-401
【국적】	KR
【발명자】	
【성명의 국문표기】	이창훈
【성명의 영문표기】	LEE, CHANG HUN
【주민등록번호】	651103-1454628
【우편번호】	425-040
【주소】	경기도 안산시 성포동 583번지 예술인아파트 8동 1204호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조 의 규정에 의한 출원심사 를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	1 면 1,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	9 항 397,000 원
【합계】	427,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

플립 칩형 반도체소자 및 그 제조방법을 제공한다. 이 반도체소자는 패시베이션막 내에 배치된 제1 및 제2 금속배선과, 제1 금속배선을 덮는 알루미늄 패드와, 서로 이웃하는 한 쌍의 제2 금속배선 및 이들 사이의 패시베이션막을 덮는 알루미늄 퓨즈와, 알루미늄 패드 상에 차례로 적층된 언더범프 금속막 패턴 및 범프를 포함한다. 제1 및 제2 금속배선은 패시베이션막 내에 제1 및 제2 그루브를 형성한 다음, 제1 및 제2 그루브 내에 각각 다마신 공정을 사용하여 형성한다.

【대표도】

도 2

【명세서】

【발명의 명칭】

플립 칩형 반도체소자 및 그 제조방법{Flip chip type semiconductor device and fabrication method thereof}

【도면의 간단한 설명】

도 1은 종래기술의 플립 칩형 반도체소자의 제조방법을 설명하기 위한 단면도이다.

도 2는 본 발명에 따른 플립 칩형 반도체소자를 설명하기 위한 단면도이다.

도 3 내지 도 6은 도 2에 보여진 플립 칩형 반도체소자의 제조방법을 설명하기 위한 단면도들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<4> 본 발명은 반도체소자 및 그 제조방법에 관한 것으로, 특히 플립 칩형 반도체소자 및 그 제조방법에 관한 것이다.

<5> 반도체소자는 외부의 충격으로부터 보호하기 위하여 패키지 공정(package process)을 통하여 밀봉된다. 이러한 패키지 공정에 있어서, 본딩 와이어를 사용하여 반도체소자의 패드를 리드 프레임(lead frame)의 리드(lead)에 연결시키는 경우에, 패키지소자의 신뢰성 및 전기적인 특성을 개선시키는 데에 한계가 있다.

따라서, 최근에 플립 칩 패키지 공정이 고성능 반도체소자에 널리 사용되고 있다

<6> 도 1은 종래의 플립 칩형 반도체소자의 제조방법을 설명하기 위한 단면도이다. 도면에 있어서, 참조부호 'a' 및 'b'로 표시된 부분들은 각각 패드영역 및 퓨즈 영역에 해당한다.

<7> 도 1을 참조하면, 반도체기판(1) 상에 층간절연막(3)을 형성한다. 상기 층간절연막(3)을 패터닝하여 상기 층간절연막(3)의 소정영역을 관통하는 비아홀(via hole; 도시하지 않음)을 형성한다. 상기 비아홀이 형성된 결과물 전면에서 최종 층간절연막(5)을 형성한다. 상기 최종 층간절연막(5)을 패터닝하여 상기 패드영역(a) 및 상기 퓨즈 영역(b)에 각각 적어도 하나의 제1 그루브(groove) 및 적어도 하나의 제2 그루브를 형성한다. 상기 제1 그루브 및 제2 그루브 내에 각각 다마신(damascene) 공정을 사용하여 제1 금속배선(10a) 및 제2 금속배선(10b)을 형성한다. 상기 제2 금속배선(10b)은 퓨즈에 해당한다. 상기 제1 및 제2 금속배선들(10a, 10b)은 알루미늄막에 비하여 우수한 전도성(superior conductivity) 및 우수한 전자전이 특성(superior electromigration)을 갖는 구리배선(9) 및 상기 구리배선(9)의 측벽 및 바닥을 둘러싸는 확산방지 금속막 패턴(7)을 포함한다.

<8> 상기 제1 및 제2 금속배선들(10a, 10b)을 포함하는 반도체기판 전면에서 패시베이션막(18)을 형성한다. 상기 패시베이션막(18)은 하부 실리콘질화막(13), 실리콘산화막(15) 및 상부 실리콘질화막(17)을 차례로 적층시켜 형성한다. 여기서, 상기 하부 실리콘질화막(13)은 상기 구리배선(9) 내의 구리원자들이 상기 최

중 층간절연막(5) 내부로 확산하는 것을 방지하기 위한 확산방지막 역할을 한다. 상기 패시베이션막(18)을 패터닝하여 상기 제1 금속배선(10a)을 노출시키는 패드 콘택홀을 형성한다. 상기 패드콘택홀이 형성된 결과물 전면에 장벽금속막 및 패드금속막을 차례로 형성한다. 이어서, 상기 패드금속막 및 장벽금속막을 연속적으로 패터닝하여 상기 패드콘택홀을 덮는 패드(24)를 형성한다. 이에 따라, 상기 패드(24)는 차례로 적층된 장벽금속막 패턴(21) 및 패드금속막 패턴(23)을 포함한다.

<9> 계속해서, 상기 상부 실리콘질화막(17)을 패터닝하여 상기 퓨즈, 즉 제2 금속배선(10b)의 상부에 개구부(27)를 형성한다. 상기 개구부(27)가 형성된 결과물 전면에 폴리이미드막(29)을 형성한 후에, 상기 폴리이미드막(29)을 패터닝하여 상기 패드(24)를 노출시키는 패드 개구부 및 상기 퓨즈(10b) 상의 실리콘산화막(15)을 노출시키는 퓨즈 개구부(31)를 형성한다. 상기 노출된 패드(24) 상에 차례로 적층된 언더범프 금속막 패턴(33) 및 범프(35)를 형성한다.

<10> 상술한 바와 같이 종래의 기술에 따르면, 후반공정(back-end process)이 복잡하다. 또한, 구리배선을 퓨즈로 사용하므로 리페어 공정시 레이저를 사용하여 퓨즈를 컷팅하기가 어렵다.

【발명이 이루고자 하는 기술적 과제】

<11> 본 발명이 이루고자 하는 기술적 과제는 후반공정(back-end process)을 단순화시킬 수 있고, 레이저로 컷팅하기가 용이한 물질로 퓨즈를 형성할 수 있는 플립 칩형 반도체소자의 제조방법을 제공하는 데 있다.

<12> 본 발명이 이루고자 하는 다른 기술적 과제는 상기한 반도체소자의 제조방법에 의해 제조된 플립 칩형 반도체소자를 제공하는 데 있다.

【발명의 구성 및 작용】

<13> 상기 기술적 과제를 달성하기 위하여 본 발명은 패드영역 및 퓨즈영역을 갖는 플립 칩형 반도체소자의 제조방법을 제공한다. 이 방법은 반도체기판 상에 층간절연막 및 패시베이션막을 차례로 형성하고, 상기 패시베이션막 내에 다마신 공정을 사용하여 적어도 하나의 제1 금속배선 및 복수개의 제2 금속배선들을 형성하는 것을 포함한다. 상기 제1 금속배선은 상기 패드영역 내에 형성되고, 상기 제2 금속배선들은 상기 퓨즈영역 내에 형성된다. 상기 제1 및 제2 금속배선들을 포함하는 반도체기판 전면에 금속막을 형성한다. 상기 금속막을 패터닝하여 상기 제1 금속배선을 덮는 패드를 형성한다. 이때, 상기 퓨즈영역 내에 서로 이웃하는 상기 한 쌍의 제2 금속배선들 및 이들 사이의 상기 패시베이션막을 덮는 퓨즈가 형성된다. 결과적으로, 상기 퓨즈는 상기 패드와 동일한 금속막으로 형성되고, 상기 한 쌍의 제2 금속배선들을 서로 전기적으로 연결한다. 이어서, 상기 패드 및 퓨즈를 포함하는 반도체기판 전면에 폴리이미드막을 형성한다. 상기 폴리이미드막은 상기 패드를 노출시키는 패드 개구부를 갖는다. 상기 노출된 패드 상에 차례로 적층된 언더범프 금속막 패턴 및 범프를 형성한다.

<14> 상기 다른 기술적 과제를 달성하기 위하여 본 발명은 패드영역 및 퓨즈영역을 갖는 플립 칩형 반도체소자를 제공한다. 이 플립 칩형 반도체소자는 반도체기판 상에 층간절연막 및 상기 층간절연막 상에 형성된 패시베이션막을 포함한다. 상기 패시베이션막 내에 적어도 하나의 제1 금속배선 및 복수개의 제2 금속배선

들이 배치된다. 상기 제1 금속배선은 상기 패드영역 내에 배치되고, 상기 제2 금속배선들은 상기 퓨즈영역 내에 배치된다. 상기 제1 금속배선의 소정영역은 패드에 의해 덮여지고, 서로 이웃하는 상기 한 쌍의 제2 금속배선들 및 이들 사이의 상기 패시베이션막은 퓨즈에 의해 덮여진다. 상기 패드 및 퓨즈는 동일한 물질막으로 형성된다. 상기 패드 및 퓨즈를 포함하는 반도체기판 전면은 폴리이미드막에 의해 덮여지고, 상기 폴리이미드막은 상기 패드를 노출시키는 패드 개구부를 갖는다. 상기 노출된 패드는 차례로 적층된 언더범프 금속막 패턴 및 범프에 의해 덮여진다.

<15> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 '상'에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<16> 도 2는 본 발명에 따른 플립 칩형 반도체소자의 단면도이다. 여기서, 참조부호 'a' 및 'b'로 표시된 부분은 각각 패드영역 및 퓨즈영역을 나타낸다.

<17> 도 2를 참조하면, 반도체기판(51)은 층간절연막(53)에 의해 덮여진다. 상기 층간절연막(53)은 최종 층간절연막에 해당하는 물질막으로서 불순물을 함유하는 실리콘산화막(silicon oxide layer containing impurities) 또는 언도우프트 실리콘산화막이다. 상기 층간절연막(53) 상에 패시베이션막(60)이 배치된다. 상기 패시베이션막(60)은 차례로 적층된 하부 실리콘산화막(55), 실리콘산화막(57) 및 상부 실리콘질화막(59)을 포함한다. 또한, 상기 패시베이션막(60)은 차례로 적층된 실리콘산화막(57) 및 상부 실리콘질화막(59)으로 구성될 수도 있다.

<18> 상기 패드영역(a) 내의 패시베이션막(60) 내에 적어도 하나의 제1 금속배선(68a)이 배치되고, 상기 퓨즈영역(b) 내의 패시베이션막(60) 내에 복수 개의 제2 금속배선들(68b)이 배치된다. 상기 제1 및 제2 금속배선들(68a, 68b)의 상부면들(top surfaces)은 상기 패시베이션막(60)의 상부면과 동일한 높이를 갖는다. 상기 제1 및 제2 금속배선들(68a, 68b)은 알루미늄막에 비하여 우수한 전기전도도(superior conductivity) 및 우수한 전자천이특성(electromigration)를 갖는 구리막 패턴(67)과 상기 구리막 패턴(67)의 바닥 및 측벽을 둘러싸는 확산방지 금속막 패턴(diffusion barrier metal layer pattern; 65)을 포함한다. 상기 확산방지 금속막 패턴(65)은 상기 구리막 패턴(67) 내의 구리원자들이 상기 층간절연막(53) 및 상기 패시베이션막(60) 내부로 침투하는 것을 방지할 수 있는 물질막, 예컨대 탄탈륨 질화막을 포함하는 것이 바람직하다.

<19> 상기 제1 금속배선(68a)의 소정영역은 패드(74a)에 의해 덮여진다. 또한, 상기 퓨즈영역(b) 내에 퓨즈(74b)가 배치된다. 상기 퓨즈(74b)는 서로 이웃하는 상기 한 쌍의 제2 금속배선들(68b) 및 이들 사이의 상기 패시베이션막(60)을 덮

는다. 결과적으로, 상기 퓨즈(74b)는 서로 이웃하는 상기 한 쌍의 제2 금속배선들(68b)을 서로 전기적으로 접속시킨다. 상기 패드(74a) 및 퓨즈(74b)는 차례로 적층된 장벽금속막 패턴(71) 및 알루미늄막 패턴(73)을 포함한다. 상기 장벽금속막 패턴(71)은 탄탈륨 질화막인 것이 바람직하다.

<20> 상기 패드(74a) 및 퓨즈(74b)를 포함하는 반도체기판은 폴리이미드막(77)에 의해 덮여진다. 상기 폴리이미드막(77)은 상기 패드(74a)를 노출시키는 패드 개구부를 갖는다. 상기 패드 개구부에 의해 노출된 상기 패드(74a) 상에 언더범프 금속막 패턴(79a) 및 범프(83a)가 차례로 적층된다.

<21> 다음에, 도 3 내지 도 6을 참조하여 도 2에 보여진 플립 칩형 반도체소자의 제조방법을 설명하기로 한다. 여기서, 참조부호 'a' 및 'b'로 표시된 부분은 각각 패드영역 및 퓨즈영역을 나타낸다.

<22> 도 3을 참조하면, 반도체기판(51) 상에 층간절연막(53)을 형성한다. 상기 층간절연막(53)은 불순물을 포함하는 실리콘산화막, 예컨대 BPSG막으로 형성한다. 상기 층간절연막(53)은 언도우프트 실리콘산화막으로 형성할 수도 있다. 상기 층간절연막(53) 상에 패시베이션막(60)을 형성한다. 상기 패시베이션막(60)은 하부 실리콘질화막(55), 실리콘산화막(57) 및 상부 실리콘질화막(59)을 차례로 적층시키어 형성하는 것이 바람직하다. 다른 방법으로(alternatively), 상기 패시베이션막(60)은 실리콘산화막(57) 및 상부 실리콘질화막(59)을 차례로 적층시키어 형성할 수도 있다. 상기 패시베이션막(60)을 패터닝하여 상기 패드영역(a) 및 퓨즈영역(b) 내에 각각 적어도 하나의 제1 그루브(63a) 및 복수개의 제2 그루브(63b)를 형성한다.

<23> 도 4를 참조하면, 상기 제1 및 제2 그루브(63a, 63b) 내에 각각 통상의 다마신(damascene) 공정을 사용하여 제1 금속배선(63a) 및 제2 금속배선(63b)을 형성한다. 좀 더 구체적으로, 상기 제1 및 제2 그루브(63a, 63b)를 포함하는 반도체기판 전면에는 콘포말한 확산방지 금속막(diffusion barrier metal layer)을 형성한 다음, 상기 확산방지 금속막 상에 상기 제1 및 제2 그루브(63a, 63b)를 채우는 구리막을 형성한다. 상기 확산방지 금속막은 상기 구리막 내의 구리원자들이 상기 층간절연막(53) 및 상기 패시베이션막(60) 내로 확산되는 것을 방지하는 금속막으로 형성한다. 예를 들면, 상기 확산방지 금속막은 탄탈륨 질화막으로 형성하는 것이 바람직하다.

<24> 이어서, 상기 상부 실리콘질화막(59)이 노출될 때까지 상기 구리막 및 확산방지 금속막을 연속적으로 평탄화시키어 상기 제1 및 제2 그루브(63a, 63b) 내에 각각 상기 제1 금속배선(68a) 및 상기 제2 금속배선(68b)을 형성한다. 이에 따라, 상기 제1 및 제2 금속배선들(68a, 68b)은 구리막 패턴(67) 및 상기 구리막 패턴(67)의 측벽 및 바닥을 둘러싸는 확산방지 금속막 패턴(65)으로 구성된다. 상기 제1 및 제2 금속배선들(68a, 68b)을 포함하는 반도체기판 전면에는 금속막을 형성한다. 상기 금속막은 장벽금속막(barrier metal layer) 및 알루미늄막을 차례로 적층시키어 형성하는 것이 바람직하다. 상기 장벽금속막은 상기 확산방지 금속막과 동일한 물질막, 즉 탄탈륨 질화막으로 형성하는 것이 바람직하다.

<25> 상기 금속막을 패터닝하여 상기 패드영역(a) 및 퓨즈영역(b)에 각각 패드(74a) 및 퓨즈(74b)를 형성한다. 상기 패드(74a)는 상기 제1 금속배선(68a)의 소정영역을 덮고, 상기 퓨즈(74b)는 서로 이웃하는 상기 한 쌍의 제2 금속배선들

(68b) 및 이들 사이의 패시베이션막(60)을 덮는다. 이에 따라, 상기 퓨즈(74b)는 상기 한 쌍의 제2 금속배선들(68b)을 서로 전기적으로 연결시킨다. 상기 패드(74a) 및 상기 퓨즈(74b)는 차례로 적층된 장벽금속막 패턴(71) 및 알루미늄막 패턴(73)을 포함한다.

<26> 도 5를 참조하면, 상기 패드(74a) 및 퓨즈(74b)를 포함하는 반도체기판 전면에 폴리이미드막(77)을 형성한다. 상기 폴리이미드막(77)은 후속의 패키지 공정에 사용되는 에폭시 몰딩 화합물(epoxy molding compound)로부터 상기 패드(74a) 및 퓨즈(74b)를 포함하는 반도체기판에 가해지는 스트레스를 완충시키는 역할을 한다. 또한, 상기 폴리이미드막(77)은 외부로부터 알파입자(alpha-particle)가 상기 반도체기판 내의 반도체 집적회로(도시하지 않음)로 침투하는 것을 억제시키는 역할을 한다. 상기 폴리이미드막(77)을 패터닝하여 상기 패드(74a)를 노출시키는 패드개구부(pad opening)를 형성한다.

<27> 상기 패드개구부를 포함하는 반도체기판 전면에는 언더범프 금속막(79)을 형성한다. 상기 언더범프 금속막(79) 상에 상기 패드개구부 내의 상기 언더범프 금속막(79)을 노출시키는 포토레지스트 패턴(81)을 형성한다. 상기 노출된 언더범프 금속막(79) 상에 선택적으로 전기도금법(electroplating method)을 사용하여 범프패턴(83)을 형성한다. 상기 범프패턴(83)은 납(Pb) 및 주석(Sn)의 합금막으로 형성한다.

<28> 도 6을 참조하면, 상기 포토레지스트 패턴(81)을 제거하여 상기 포토레지스트 패턴(81) 아래의 언더범프 금속막(79)을 노출시킨다. 상기 범프패턴(83)을 식각 마스크로 사용하여 상기 노출된 언더범프 금속막(79)을 습식식각 공정으로 제

거한다. 이에 따라, 상기 범프패턴(83) 및 상기 패드(74a) 사이에 언더범프 금속막 패턴(79a)이 형성된다. 이어서, 상기 범프 패턴(83)을 통상의 방법을 사용하여 리플로우시키어 둥근형태(rounded shape)를 갖는 범프(83a)를 형성한다. 계속해서, 상기 제2 금속배선(68a 또는 68b)에 접속된 트랜지스터 또는 메모리 셀이 오동작하는 경우에, 상기 퓨즈(74b)를 컷팅시키기 위한 리페어공정을 실시한다. 상기 리페어 공정은 레이저(85) 등을 사용하여 실시한다. 상기 리페어 공정은 상기 언더범프 금속막(79)을 형성하기 전에 실시할 수도 있다.

【발명의 효과】

<29> 상술한 바와 같이 본 발명에 따르면, 종래기술에서 제1 금속배선을 노출시키기 위하여 패시베이션막을 패터닝하는 공정 및 퓨즈 상의 상부 실리콘질화막을 패터닝하는 공정을 생략하는 것이 가능하다. 이에 따라, 후반공정(back-end process)을 단순화시킬 수 있다. 또한, 패드 및 퓨즈를 알루미늄막으로 형성할 수 있으므로 레이저를 사용하여 퓨즈를 컷팅하는 것이 용이하다.

【특허청구범위】**【청구항 1】**

패드영역 및 퓨즈영역을 갖는 플립 칩형 반도체소자에 있어서,
반도체기판 상에 형성된 중간절연막;
상기 중간절연막 상에 형성된 패시베이션막;
상기 패드영역 내의 상기 패시베이션막의 소정영역 내에 형성된 적어도 하나의 제1 금속배선 및 상기 퓨즈영역 내의 상기 패시베이션막의 소정영역 내에 형성된 복수개의 제2 금속배선들;
상기 제1 금속배선의 일 부분을 덮는 패드;
상기 한 쌍의 제2 금속배선들 및 이들 사이의 패시베이션막을 덮되, 상기 패드와 동일한 물질막으로 형성된 퓨즈;
상기 패드 및 상기 퓨즈를 포함하는 반도체기판의 전면을 덮되, 상기 패드를 노출시키는 패드 개구부(pad opening)를 갖는 폴리이미드막; 및
상기 노출된 패드 상에 차례로 적층된 언더범프 금속막 패턴 및 범프를 포함하는 플립 칩형 반도체소자.

【청구항 2】

제 1 항에 있어서,
상기 패시베이션막은 차례로 적층된 하부 실리콘질화막, 실리콘산화막 및 상부 실리콘질화막을 포함하는 것을 특징으로 하는 플립 칩형 반도체소자.

【청구항 3】

제 1 항에 있어서,

상기 제1 및 제2 금속배선들은 구리막 패턴 및 상기 구리막 패턴의 측벽 및 바닥을 둘러싸는 확산방지 금속막 패턴(diffusion barrier metal layer pattern)을 포함하는 것을 특징으로 하는 플립 칩형 반도체소자.

【청구항 4】

제 3 항에 있어서,

상기 확산방지 금속막 패턴은 탄탈륨 질화막인 것을 특징으로 하는 플립 칩형 반도체소자.

【청구항 5】

제 1 항에 있어서,

상기 패드 및 상기 퓨즈는 차례로 적층된 장벽 금속막 패턴(barrier metal layer pattern) 및 알루미늄막 패턴을 포함하는 것을 특징으로 하는 플립 칩형 반도체소자.

【청구항 6】

패드영역 및 퓨즈영역을 갖는 플립 칩형 반도체소자의 제조방법에 있어서,

반도체기판 상에 층간절연막을 형성하는 단계;

상기 층간절연막 상에 패시베이션막을 형성하는 단계;

상기 패드영역 내의 상기 패시베이션막의 소정영역 내에 적어도 하나의 제1 금속배선을 형성함과 동시에 상기 퓨즈영역 내의 상기 패시베이션막의 소정영역 내에 복수개의 제2 금속배선들을 형성하는 단계;

상기 제1 및 제2 금속배선들을 포함하는 반도체기판 전면에 금속막을 형성하는 단계;

상기 금속막을 패터닝하여 상기 제1 금속배선의 일 부분을 덮는 패드를 형성함과 동시에 상기 한 쌍의 제2 금속배선들 및 이들 사이의 패시베이션막을 덮는 퓨즈를 형성하는 단계;

상기 패드 및 상기 퓨즈를 포함하는 반도체기판 상에 상기 패드를 노출시키는 패드 개구부(pad opening)를 갖는 폴리이미드막을 형성하는 단계; 및

상기 노출된 패드 상에 차례로 적층된 언더범프 금속막 패턴 및 범프를 형성하는 단계를 포함하는 플립 칩형 반도체소자의 제조방법.

【청구항 7】

제 6 항에 있어서,

상기 패시베이션막은 하부 실리콘질화막, 실리콘 산화막 및 상부 실리콘산화막을 차례로 적층시키어 형성하는 것을 특징으로 하는 플립 칩형 반도체소자의 제조방법.

【청구항 8】

제 6 항에 있어서,

상기 제1 및 제2 금속배선들을 형성하는 단계는

상기 패시베이션막을 패터닝하여 상기 패드영역 및 상기 퓨즈영역에 각각 적어도 하나의 제1 그루브(groove) 및 복수개의 제2 그루브를 형성하는 단계;

상기 제1 및 제2 그루브를 포함하는 반도체기판의 전면에 콘포말한 (conformal) 확산방지 금속막 및 상기 제1 및 제2 그루브를 채우는 구리막을 차례로 형성하는 단계; 및

상기 패시베이션막의 상부면이 노출될 때까지 상기 구리막 및 확산방지 금속막을 평탄화시키는 단계를 포함하는 것을 특징으로 하는 플립 칩형 반도체소자의 제조방법.

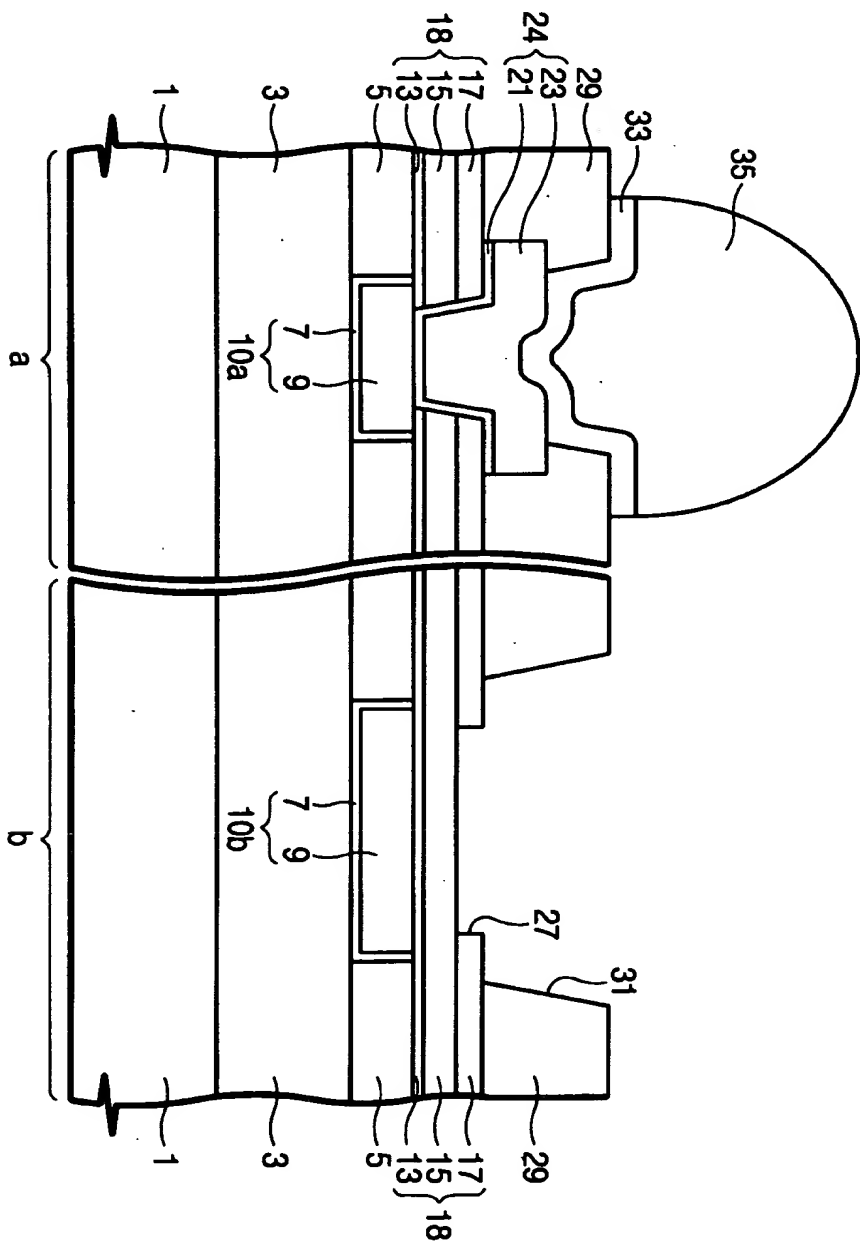
【청구항 9】

제 6 항에 있어서,

상기 금속막은 장벽 금속막 및 알루미늄막을 차례로 적층시키어 형성하는 것을 특징으로 하는 플립 칩형 반도체소자의 제조방법.

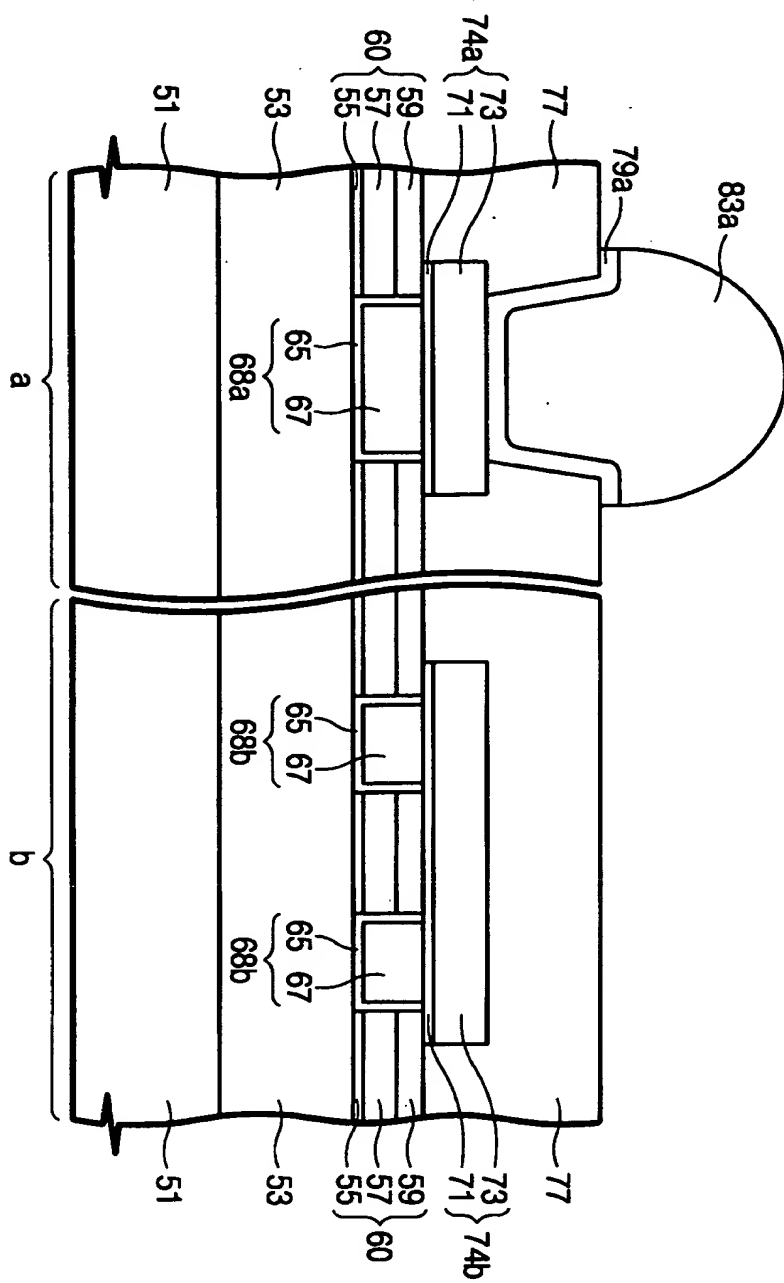
【도면】

【도 1】

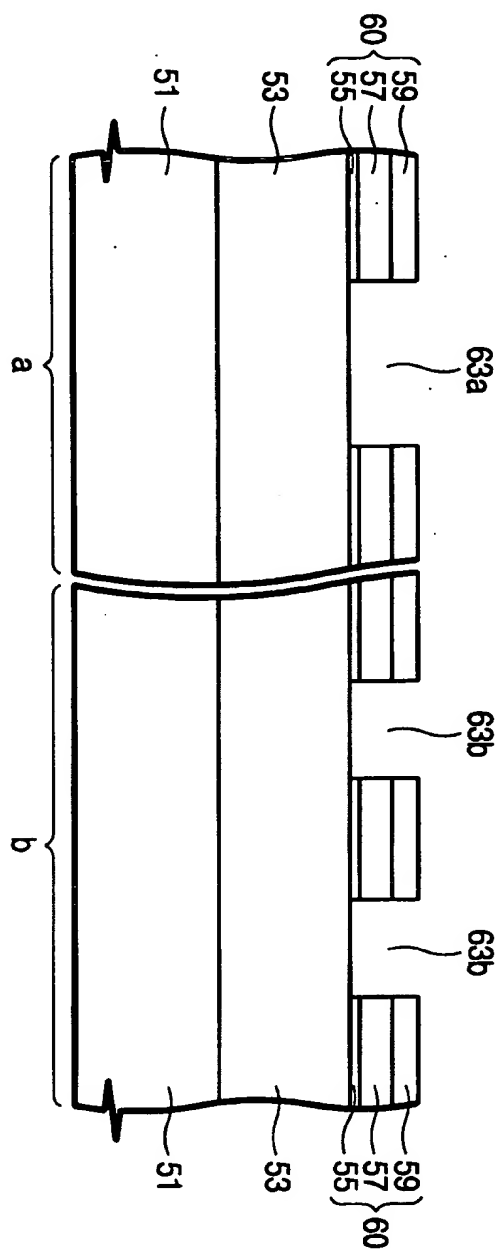


(종래 기술)

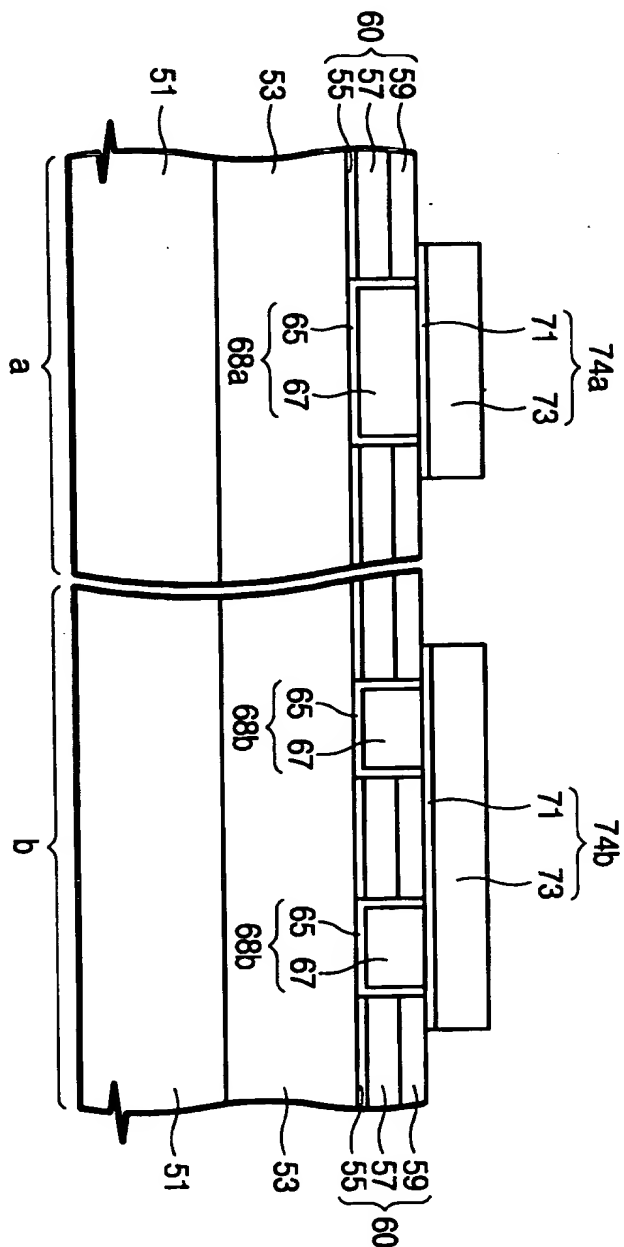
【도 2】



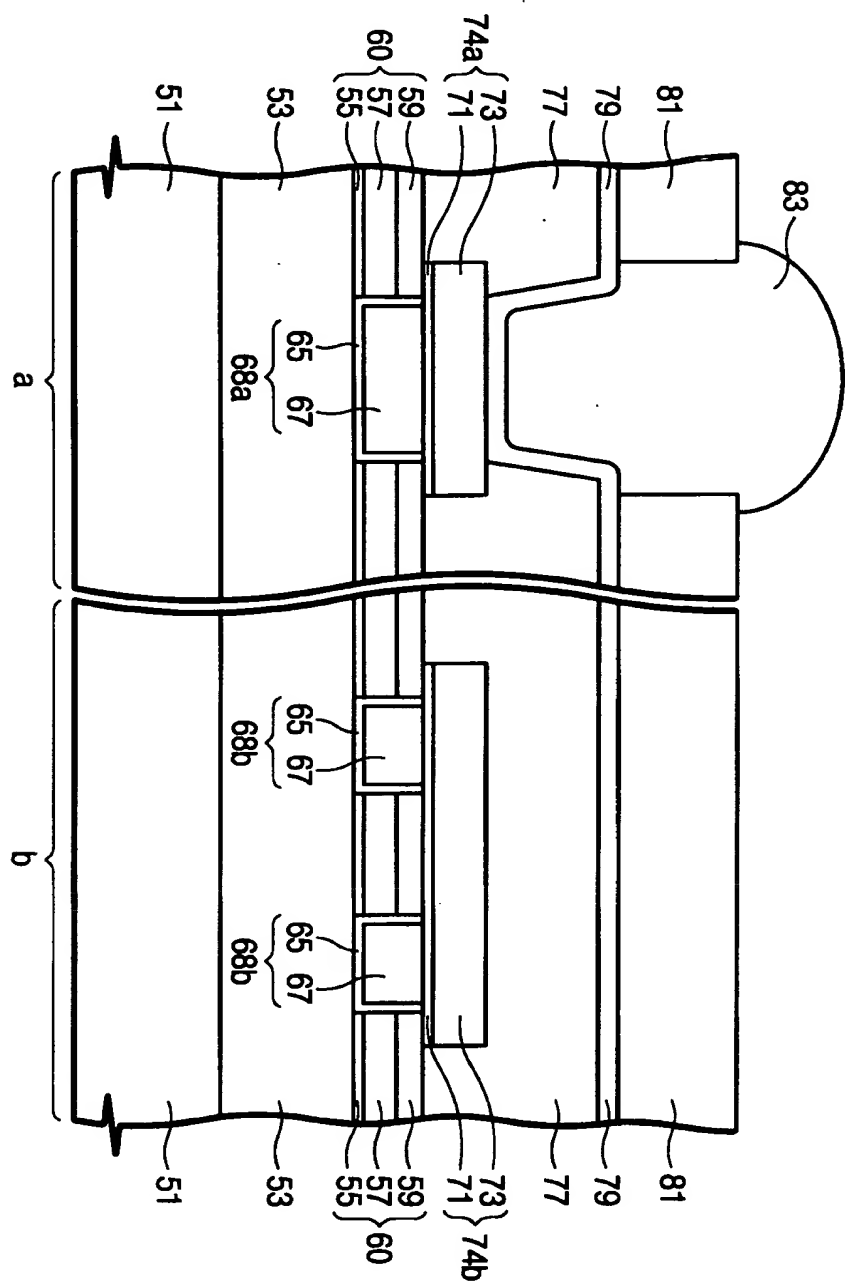
【도 3】



【도 4】



【도 5】



【도 6】

